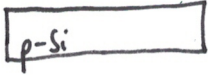


VLSI - NMOS Transistor (Entfernungprozess) (I)

↳ selbstjustierend

①



②

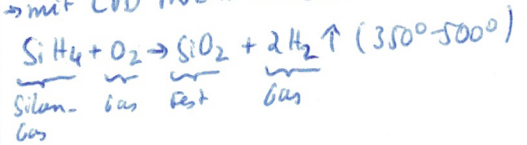


Über trockene Oxidation SiO_2 aufbringen, hohe Qualität, sehr dünn, teuer, keine Defekte, amorph
↳ nur dadurch geht Feldeffekttransistor
↳ dauert ewig zum wachsen ist aber nur wenige nm

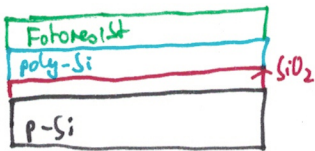
③



dicker also SiO_2 & unreiner
↳ mit CVD Prozess aus Silan

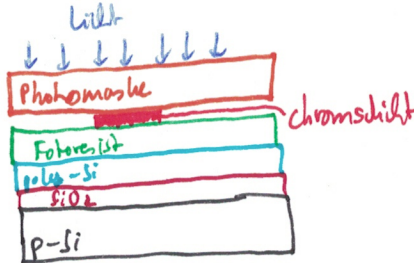


④



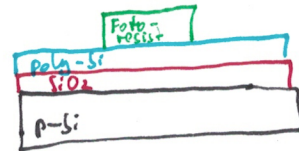
Fotorezist $\hat{=}$ Polymer [2 Sorten, also positiv & negativ], hier positiv, da selbstjustierender Prozess
↳ darauf will man Struktur erzeugen, d.h. Elektrode soll hier entstehen

⑤



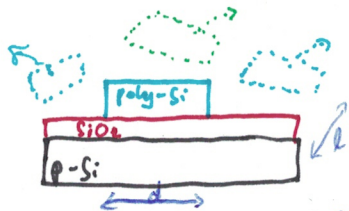
- Chromschicht kommt von Zinkfinger
- Photomaske aus Glas (hochdichtes Glas)
- Mehrere Methoden z.B. durch Anpressung wie in Fotolithographie

⑥ (selbstjustierend, positiver Lack)



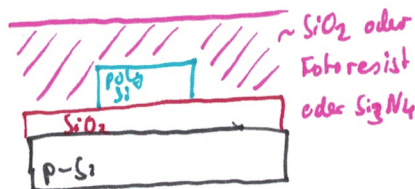
- Fotorezist verschwindet wo Licht einfällt.

⑦ Katalytisches Ionenaugen



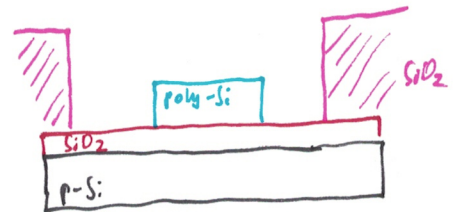
- ↳ manche Firmen ähnen auch SiO_2 weg, ist aber so wie hier besser
- ↳ $d \hat{=}$ Gatelänge $\rightarrow$ sehr schwer klein zu machen
- ↳ $l \hat{=}$ Gatebreite, hier Länge egal

⑧



- ↳ SiO_2 flüchsig oxidiert (mit Wasserdampf) damit schnelles Wachstum,
- ↳ Unreinheit egal, da nur da für Ionenschutz

⑨ Mit Photomaske oder Säure



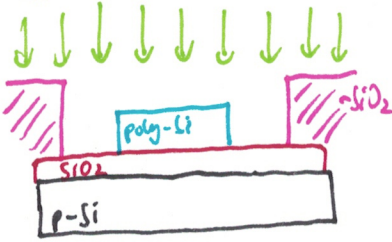
- anheften an Dotierstelle von SiO_2 mit Photomaske oder Flußsäure

VLSI - NMOS Transistor (Entstehungsprozess) (II)

↳ selbstjustierend

10. Dohieren

P, As - Implantation



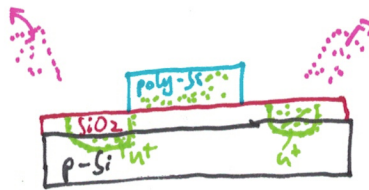
- Je nach N/P-MOS Dohieren (NMOS: P, As / PMOS: B, Ga)
- Dohiermenge $\sim 10^{17}/10^{18}/\text{cm}^2$ & $\text{Si} \sim 10^{22}/10^{23}$
- SiO_2 fängt Dohieranden auf.
- P, As, ... wird reingelassen
- Dohieratome müssen zur Leitfähigkeit, heißt auch ins poly-Si
- SiO_2 als Schutz damit nicht p-Si zerstören
- As höher löslich deshalb besser als P

13. Kontaktierung Ätzen



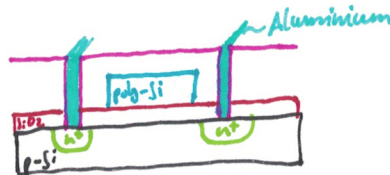
↳ Level relatives Konzentration

11.



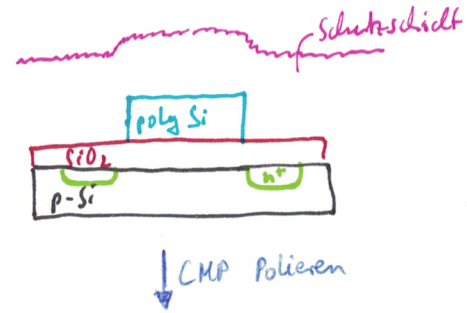
- Implantationsmaske entfernen
 - danach Tempern, damit bessere Leitfähigkeit, hierbei passieren 2 Dinge:
 - 1.) Ausheilung (von Kristalldefekten)
 - 2.) elektrische Aktivierung, d.h. Dohieranden auf Gitterplätze von Si schieben
- (Prinzip der Diffusion)

14. durch Kontakten (via)

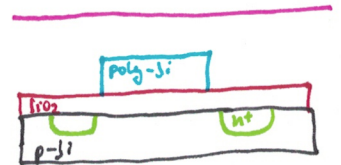


- Aluminium Kontaktierung
- danach wieder CMP Polieren
- Metall aufbringen mit Sputtern, dann evtl. Schlüssellochprobleme
- in der Regel somit Metall aufbringen mit CVD, da höhere Mobilität & kein Schlüssellochproblem
- Auf Spikes aufpassen (d.h. kein Al in Si) sonst Schottky-Diode bzw. Mische durch Diffusion
- Via geht durch & Leitung geht parallel → via

12. Schutzschicht / Isolationschicht

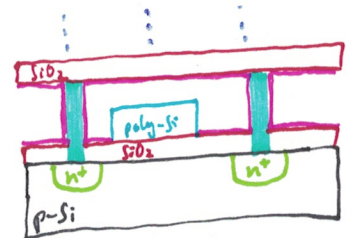


↓ CMP Polieren



- z.B. SiO_2 aber „unrein“ also man oxidiert / fluoroxidiert

15. Prozess stapelbar fortsetzbar



Analogy für P-MOS Transistor, hier jedoch n-Si als untere Schicht & Dohierung mit Bor, Gallium, ... anstatt Arsen, Phosphor, ...

VLSI - Dual Damascene Prozess

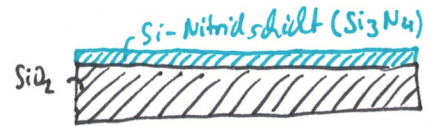
- ① Abscheidung des Dielektrikums
(8. Schritt bei N-MOS Transistor)



- ② Durch CMP wird das Dielektrikum auf die benötigte Schichtdicke gebracht. Diese entspricht der späteren Länge der Durchkontaktierung.



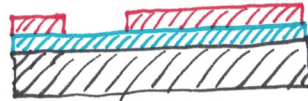
- ③ Eine Silizium-Nitridschicht wird auf das Dielektrikum abgeschieden (sehr, sehr harte Schicht → oft auf Messern).



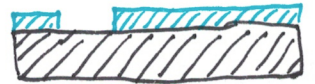
- ④ Si-Nitridschicht mit Photoresist für die spätere Durchkontaktierung belegen



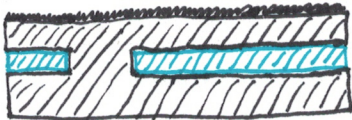
- ⑤ Mit Maske an gewünschter Kontaktierungsstelle Si-Nitridschicht freilegen



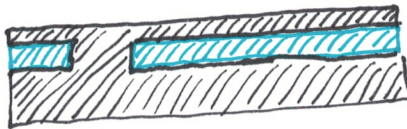
- ⑥ Nitridschicht an nicht durch den Photoresist geschützten Stellenätzen und man erhält ein Werkstück von dem anschließend der Resist entfernt wird.



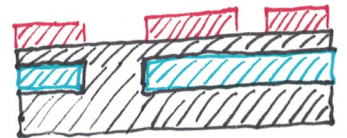
- ⑦ Es erfolgt eine 2. Abscheidung des Dielektrikums.



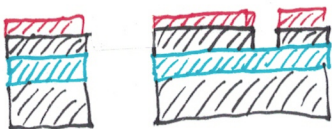
- ⑧ Erneutes CMP des Dielektrikums, dieses mal entspricht Schichtdicke späterer Leiterbahndicke



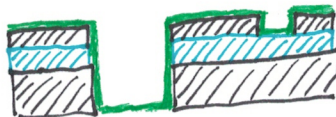
- ⑨ Erneutes Aufbringen des Photoresist für die Durchkontaktierung (mit Maske & Licht formen)



- ⑩ Ätzen des Dielektrikums, Nitridschicht ist nötig damit Strukturen für die Leiterbahnen erhalten bleiben/werden



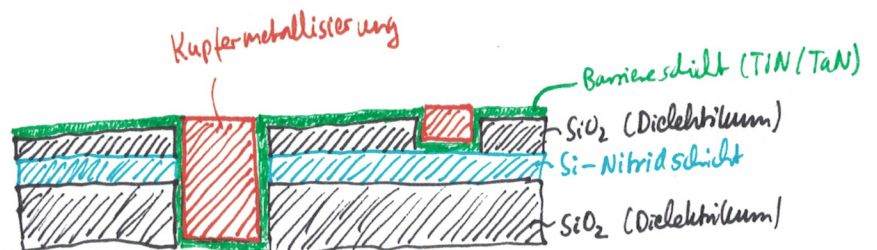
- ⑪ Nach Entfernen des Resist wird die Barriere Schicht aufgetragen. (TiN / TaN)



- ⑫ Aufbringen einer Keim-Schicht (Seed-Layer) durch Sputtern mit der eine Kupfermetallisierung über Elektrolyse aufgebracht werden kann.

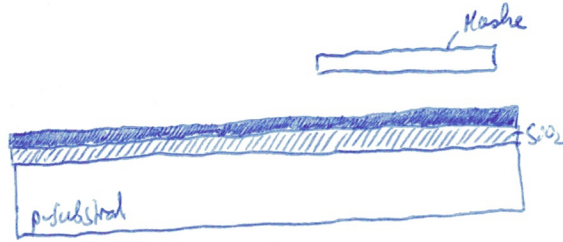
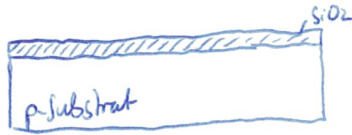


- ⑬ CMP des überschüssigen Kupfers
↳ man erhält Wafer mit erforderlichen Leiterbahnen & Durchkontaktierung



VL SI-n-Wannen CMOS Prozess

- ① Wafer mit SiO_2 Oxidation
- ② Belichtung mit Fotoresist & Belichtung mit n-Wannen Maske



- ③ Entfernen des Fotoresist



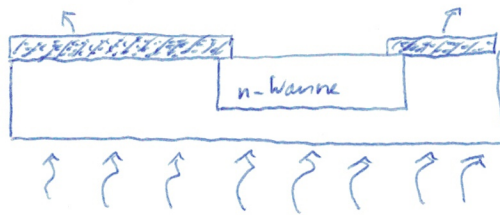
- ④ Ätzen des nichtabgedeckten SiO_2



- ⑤ Ablesen des Fotoresist



- ⑥ Ionenimplantation, danach SiO_2 entfernen & danach erst Tempern



- ⑦ nun fertige n-Wanne & noch kein Twin Well



schon drauf dann wie zu Beginn jeder VL ein NMOS oder PMOS Transistor